

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-114664
 (43) Date of publication of application : 02.05.1997

(51) Int.Cl.

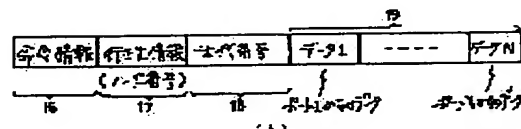
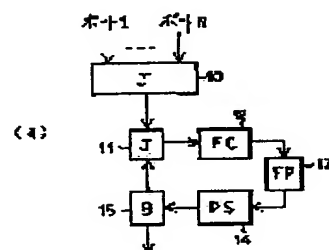
G06F 9/38
 G06F 12/00
 G06F 15/82

(21) Application number : 07-269573 (71) Applicant : SHARP CORP
 (22) Date of filing : 18.10.1995 (72) Inventor : OKAMOTO TOSHIYA
 MURAMATSU GOJI

(54) DATA DRIVEN INFORMATION PROCESSOR

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a data driven information processor which reduces the redundancy of data to improve the processing efficiency by providing a mechanism which puts plural data in one packet.
SOLUTION: An input control means 10 is provided with a function which takes plural data independent of one another of ports 1 to N into one packet. With respect to the data (packet) constitution, plural data share single instruction information or the like in a single packet. For example, in the case of N data which have continuous generation numbers and have the same instruction information and destination information, instruction information 16 and destination information 17 are common instruction information and destination information, and a generation number 18 is the generation number of, for example, data 1. Generation numbers of other data 2 to N can be restored from storage positions of respective data.



LEGAL STATUS

[Date of request for examination] 16.07.1999
 [Date of sending the examiner's decision of rejection] 11.05.2004
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection] 2004-11723
 [Date of requesting appeal against examiner's decision of rejection] 09.06.2004
 [Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-114664

(43) 公開日 平成9年(1997)5月2日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/38	3 7 0		G 0 6 F 9/38	3 7 0 A
12/00	5 9 3		12/00	5 9 3
15/82	6 1 0		15/82	6 1 0 Q

審査請求 未請求 請求項の数14 O L (全 11 頁)

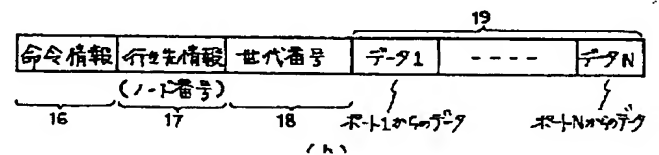
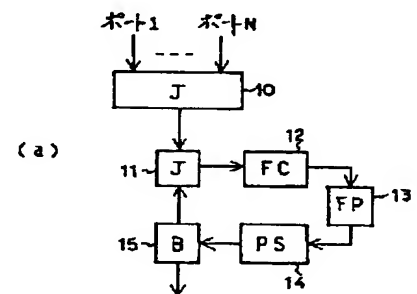
(21) 出願番号	特願平7-269573	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成7年(1995)10月18日	(72) 発明者	岡本 俊弥 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(72) 発明者	村松 剛司 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74) 代理人	弁理士 梅田 勝

(54) 【発明の名称】 データ駆動型情報処理装置

(57) 【要約】

【課題】 データ駆動型情報処理装置に於いて、データの冗長度を下げ、処理の効率を上げる。

【解決手段】 互いに独立な複数のデータ（データ1，…，データN）を1パケットに収め、命令情報16、行先情報17及び世代番号18を共有させる。



【特許請求の範囲】

【請求項1】 対データ検出手段と、演算手段と、プログラム記憶手段と、外部装置への出力制御手段と、外部装置からの入力制御手段とが周回パイプラインにて接続されたデータ駆動型情報処理装置に於いて、

該装置内で扱われるデータ単位である、データ本体、並びに、データ相互の識別情報、データの行き先を指示する行き先情報、データに施すべき演算を指示する命令情報、等により構成されるデータバケットの構成が、互いに独立な複数のデータを1つのデータバケットに含み、他の情報を共有する構成である事を特徴とする、データ駆動型情報処理装置。

【請求項2】 互いに相関のある一群のデータを、1つのデータバケット内に複数組合む事を特徴とする、請求項1に記載のデータ駆動型情報処理装置。

【請求項3】 データ相互の識別情報の内、特定の1ビットの値のみ異なる2つのデータ、又はデータ群を1つのデータバケット内に含む事を特徴とする、請求項1又は2に記載のデータ駆動型情報処理装置。

【請求項4】 複数のデータ、又はデータ群の各々に対して、データバケット内の当該データ領域の値が有効であるか否かの識別フラッグをデータバケット内に有する事を特徴とする、請求項1、2又は3に記載のデータ駆動型情報処理装置。

【請求項5】 データバケット内のデータ、又はデータ群の個数に応じて相互に独立した演算手段を有する事を特徴とする、請求項1、2、3又は4に記載のデータ駆動型情報処理装置。

【請求項6】 対データ検出手段に於いて、先に該手段に入力され待ち合わせ中のデータバケットと、後に入力されるデータバケットとの対応する識別フラッグを各々個別に検証し、

共に、有効な場合は、対データ検出済みとして、出力されるデータバケット中の当該識別フラッグを有効とし、待ち合わせ中のデータバケットにある当該識別フラッグを無効とする制御を行い、

共に無効な場合は、出力されるデータバケットの当該識別フラッグを無効とする制御を行い、

一方のみ無効な場合は対データ検出ミスとして、出力されるデータバケットの当該識別フラッグを無効とし、識別フラッグが有効であった入力データバケットのデータを待ち合わせ中のデータバケットのデータ領域に転記し、該バケットの当該識別フラッグを有効とする制御を行い、

さらに、出力されるデータバケットの識別フラッグが全て無効である場合、該バケットを出力しない制御を行う事を特徴とする、請求項4に記載のデータ駆動型情報処理装置。

【請求項7】 データバケット中の複数のデータ、又はデータ群の各々に対して条件判断演算を実行した際に、

有効なデータ、又はデータ群に関する判断結果が全て真の場合、条件判断結果フラッグを真にセットしたデータバケットを1つ出力し、

有効なデータ、又はデータ群に関する判断結果が全て偽の場合、条件判断結果フラッグを偽にセットしたデータバケットを1つ出力し、

有効なデータ、又はデータ群に関する判断結果として真と偽が混在している場合は、

第1のバケットとして、条件判断結果フラッグを真にセットし、真の判断結果を得たデータ又はデータ群に対して対応する識別フラッグを有効とし、偽の判断結果を得たデータ又はデータ群に対して対応する識別フラッグを無効としたデータバケットを出力し、

第2のバケットとして、条件判断結果フラッグを偽にセットし、偽の判断結果を得たデータ又はデータ群に対して対応する識別フラッグを有効とし、真の判断結果を得たデータ又はデータ群に対して対応する識別フラッグを無効としてデータバケットを出力する制御を行う事を特徴とする、請求項4に記載のデータ駆動型情報処理装置。

【請求項8】 データバケット中の複数のデータ、又はデータ群の内、いずれかが無効なデータバケットに対して、当該データ、又はデータ群が有効なデータバケットを待ち合わせ、入力されたデータバケット中の有効なデータ又はデータ群の値を、待ち合わせ中の当該データ領域に転記し、該データバケットの転記されたデータに対応する識別フラッグを有効とし、該データバケットを出力する制御を行う事を特徴とする、請求項4に記載のデータ駆動型情報処理装置。

【請求項9】 待ち合わせ中のデータバケット内のデータ、又はデータ群が全て有効となるまで、待ち合わせを継続する事を特徴とした、請求項8に記載のデータ駆動型情報処理装置。

【請求項10】 データバケットが待ち合わせ中に、次のデータバケットが入力され、待ち合わせ中のデータバケットと入力データバケットが、1つのデータバケットとして扱われる為の一定の規則に沿わない場合、待ち合わせ中のデータバケットをそのまま出力し、入力データバケットを待ち合わせ状態とする事を特徴とする、請求項8に記載のデータ駆動型情報処理装置。

【請求項11】 データバケットが待ち合わせ中に、次のデータバケットが入力され、待ち合わせ中のデータバケットと入力データバケットが、1つのデータバケットとして扱われる為の一定の規則に沿わない場合、待ち合わせ中のデータバケットをそのまま待ち合わせ状態とし、入力データバケットをそのまま出力する事を特徴とする、請求項8に記載のデータ駆動型情報処理装置。

【請求項12】 データバケットの待ち合わせ用の領域を、対データ検出用の待ち合わせ用領域と共用させた事を特徴とする、請求項8に記載のデータ駆動型情報処理

装置。

【請求項13】 データバケットが待ち合わせを行うに際して、対となって1つのデータバケットとなるべきデータバケットが、待ち合わせて後、入力されないと予想される場合、待ち合わせを行わずそのまま該データバケットを出力する事を特徴とする、請求項8に記載のデータ駆動型情報処理装置。

【請求項14】 出力制御手段に於いて、複数の有効なデータ、又はデータ群を有するデータバケットの入力に対して、1つの出力データバケットに1つの有効なデータ又はデータ群を有する様、有効なデータ又はデータ群の数だけデータバケットを出力する制御を行う事を特徴とした、請求項1、2、3又は4に記載のデータ駆動型情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の入力データを組み合わせることにより、入力データの冗長性を下げ、処理の時間を短縮する機構を備えたデータ駆動型情報処理装置に関する。

【0002】

【従来の技術】データ駆動型プロセッサでは、「ある処理に必要なデータが全て揃い、かつ、その処理に必要な演算装置などの資源が割り当てられた時に処理を行う」という単純な規則にしたがって処理が並列に進行する。

【0003】図15は、従来の映像信号処理向きデータ駆動型情報処理装置のブロック構成図及びデータバケット構成図である。同様のシステム構成例は、文献「データ駆動型プロセッサの概要」（コンピュータデザイン1990年3月号）、文献「動的データ駆動型プロセッサによる並列処理方式の検討」（情報処理学会主催マイクロコンピュータアーキテクチャシンポジウム（1991年11月12日））等において示されている。

【0004】図15に示すデータ駆動型プロセッサでは、入力されるバケット・160はデータ・159毎に独立しており、1つのデータに対してそれぞれ、命令情報・156、行先情報・157、世代番号・158を持っている。これらは、入力制御手段・151から入力される。対データ検出手段（待ち合わせ記憶手段・152は、入力されたデータ（バケット）のうち、2つのデータが揃わないと処理できないものを一時的に記憶する手段を有する。演算処理手段・153は、待ち合わせを行ったデータ（バケット）を受けて乗算、加算といった演算を実施する。プログラム記憶手段・154は演算処理の結果を受けて、プログラムの次の演算内容、行先情報をデータ（バケット）に与える機能を有する。分岐手段・155はプログラム記憶手段の結果から得られた行先を読み取り、同一のプロセッサ内部で処理を行うか（合流手段・151に送る）、プロセッサ外部に送られるかを判定する。

【0005】特開平5-233854に示される装置によると、複数の対データ検出手段、複数のプログラム記憶手段、複数の演算処理手段からなるデータ駆動型プロセッサが示されており、それぞれ、複数の命令情報、行先情報、世代番号、データを有するバケットの処理がなされる。

【0006】

【発明が解決しようとする課題】従来の装置では、複数データを持つバケットの処理ができなかった。特開平5-233854記載の装置では複数のデータを扱うバケット記述されているが、これらはそれぞれ行先情報、命令コードなどを個別に持つ別々のバケットを1つにまとめただけのものであり、データバケット長が大きくなる。

【0007】本発明は、複数データを1バケットに収める機構を設けることで、データの冗長性を下げ、処理の効率を上げることのできるデータ駆動型情報処理装置を提供するものである。

【0008】

【課題を解決するための手段】請求項1の発明は、対データ検出手段と、演算手段と、プログラム記憶手段と、外部装置への出力制御手段と、外部装置からの入力制御手段とが周回パイプラインにて接続されたデータ駆動型情報処理装置に於いて、該装置内で扱われるデータ単位である、データ本体、並びに、データ相互の識別情報、データの行き先を指示する行き先情報、データに施すべき演算を指示する命令情報、等により構成されるデータバケットの構成が、互いに独立な複数のデータを1つのデータバケットに含み、他の情報を共有する構成である事を特徴とするものである。

【0009】請求項2の発明は、上記請求項1の発明において、互いに相関のある一群のデータを、1つのデータバケット内に複数組合む事を特徴とするものである。

【0010】請求項3の発明は、上記請求項1又は2の発明において、データ相互の識別情報の内、特定の1ビットの値のみ異なる2つのデータ、又はデータ群を1つのデータバケット内に含む事を特徴とするものである。

【0011】請求項4の発明は、上記請求項1、2又は3の発明において、複数のデータ、又はデータ群の各々に対して、データバケット内の当該データ領域の値が有効であるか否かの識別フラッグをデータバケット内に有する事を特徴とするものである。

【0012】請求項5の発明は、上記請求項1、2、3又は4の発明において、データバケット内のデータ、又はデータ群の個数に応じて相互に独立した演算手段を有する事を特徴とするものである。

【0013】請求項6の発明は、上記請求項4の発明において、対データ検出手段に於いて、先に該手段に入力され待ち合わせ中のデータバケットと、後に入力されるデータバケットとの対応する識別フラッグを各々個別に

検証し、共に、有効な場合は、対データ検出済みとして、出力されるデータバケット中の当該識別フラッグを有効とし、待ち合わせ中のデータバケットにある当該識別フラッグを無効とする制御を行い、共に無効な場合は、出力されるデータバケットの当該識別フラッグを無効とする制御を行い、一方のみ無効な場合は対データ検出ミスとして、出力されるデータバケットの当該識別フラッグを無効とし、識別フラッグが有効であった入力データバケットのデータを待ち合わせ中のデータバケットのデータ領域に転記し、該バケットの当該識別フラッグを有効とする制御を行い、さらに、出力されるデータバケットの識別フラッグが全て無効である場合、該バケットを出力しない制御を行う事の特徴とするものである。

【0014】請求項7の発明は、上記請求項4の発明において、データバケット中の複数のデータ、又はデータ群の各々に対して条件判断演算を実行した際に、有効なデータ、又はデータ群に関する判断結果が全て真の場合、条件判断結果フラッグを真にセットしたデータバケットを1つ出力し、有効なデータ、又はデータ群に関する判断結果が全て偽の場合、条件判断結果フラッグを偽にセットしたデータバケットを1つ出力し、有効なデータ、又はデータ群に関する判断結果として真と偽が混在している場合は、第1のバケットとして、条件判断結果フラッグを真にセットし、真の判断結果を得たデータ又はデータ群に対して対応する識別フラッグを有効とし、偽の判断結果を得たデータ又はデータ群に対して対応する識別フラッグを無効としたデータバケットを出力し、第2のバケットとして、条件判断結果フラッグを偽にセットし、偽の判断結果を得たデータ又はデータ群に対して対応する識別フラッグを有効とし、真の判断結果を得たデータ又はデータ群に対して対応する識別フラッグを無効としてデータバケットを出力する制御を行う事の特徴とするものである。

【0015】請求項8の発明は、上記請求項4の発明において、データバケット中の複数のデータ、又はデータ群の内、いずれかが無効なデータバケットに対して、当該データ、又はデータ群が有効なデータバケットを待ち合わせ、入力されたデータバケット中の有効なデータ又はデータ群の値を、待ち合わせ中の当該データ領域に転記し、該データバケットの転記されたデータに対応する識別フラッグを有効とし、該データバケットを出力する制御を行う事の特徴とするものである。

【0016】請求項9の発明は、上記請求項8の発明において、待ち合わせ中のデータバケット内のデータ、又はデータ群が全て有効となるまで、待ち合わせを継続する事の特徴としたものである。

【0017】請求項10の発明は、上記請求項8の発明において、データバケットが待ち合わせ中に、次のデータバケットが入力され、待ち合わせ中のデータバケットと入力データバケットが、1つのデータバケットとして

扱われる為の一定の規則に沿わない場合、待ち合わせ中のデータバケットをそのまま出力し、入力データバケットを待ち合わせ状態とする事の特徴とするものである。

【0018】請求項11の発明は、上記請求項8の発明において、データバケットが待ち合わせ中に、次のデータバケットが入力され、待ち合わせ中のデータバケットと入力データバケットが、1つのデータバケットとして扱われる為の一定の規則に沿わない場合、待ち合わせ中のデータバケットをそのまま待ち合わせ状態とし、入力データバケットをそのまま出力する事の特徴とするものである。

【0019】請求項12の発明は、上記請求項8の発明において、データバケットの待ち合わせ用の領域を、対データ検出用の待ち合わせ用領域と共用させた事の特徴とするものである。

【0020】請求項13の発明は、上記請求項8の発明において、データバケットが待ち合わせを行うに際して、対となって1つのデータバケットとなるべきデータバケットが、待ち合わせて後、入力されないと予想される場合、待ち合わせを行わずそのまま該データバケットを出力する事の特徴とするものである。

【0021】請求項14の発明は、上記請求項1、2、3又は4の発明において、出力制御手段に於いて、複数の有効なデータ、又はデータ群を有するデータバケットの入力に対して、1つの出力データバケットに1つの有効なデータ又はデータ群を有する様、有効なデータ又はデータ群の数だけデータバケットを出力する制御を行う事の特徴としたものである。

【0022】請求項1、2、3の機能を設けることで、命令情報・行先情報・世代番号などを共有化した複数データを1つのバケットにまとめることができる。また請求項4のフラッグを設けることで、1バケット内の複数データ管理が容易になる。

【0023】請求項6、8、9、10、11、12、13の機能を設けることで、複数データ処理が対データ検出手段の通常の待ち合わせメモリで実行できるようになる。

【0024】請求項5、7の機能を設けることで、複数データ処理が複数の演算器で並列実行され、かつ条件分岐処理をデータごとに実行できるようになる。

【0025】請求項1の手段により、複数の独立なデータを1つのバケットに収容可能となる。

【0026】請求項2の手段により、相関のある一群のデータを複数組1つのバケットに収容可能となる。

【0027】請求項3の手段により、特定の1ビットのみ異なる識別子を有するデータを1つのバケットに収容可能となる。

【0028】請求項4の手段により、複数のデータを1つのバケットに収容した場合のデータ管理が簡易となる。

【0029】請求項5の手段により、複数のデータを複数の演算器で一度に処理することができる。

【0030】請求項6の手段により、複数のデータを持つバケットが対データ検出手段で検出できるようになる。

【0031】請求項7の手段により、複数のデータを条件判断の結果により複数のバケットに分解可能となる。

【0032】請求項8の手段により、対データ検出手段を用いた2世代化が可能になる。

【0033】請求項9の手段により、対データ検出手段を用いた複数世代化が可能になる。請求項10の手段により、2世代化に於いて、古いバケットより新しいバケットの待ち合わせを優先させることができる。

【0034】請求項11の手段により、2世代化に於いて、既に待ち合わせを行っているバケットを常に優先させることができる。

【0035】請求項12の手段により、対データ検出手段の待ち合わせメモリを複数世代化用に兼用可能となる。

【0036】請求項13の手段により、対データ検出手段を用いた複数世代化で、2世代化の可能性が低いバケットをバイパスできる。

【0037】請求項14の手段により、複数データ・バケットを単独のデータを持つバケットに変換できる。

【0038】

【発明の実施の形態】以下、実施形態に基づいて本発明を詳細に説明する。

【0039】請求項1に記載のデータ駆動型プロセッサの実施形態を図1に示す。同図(a)はブロック構成図であり、同図(b)はデータバケット構成図である。入力制御手段10は、データ駆動型プロセッサに対する外部端子であり、ポート1からNといった複数の入力を有する。この入力制御手段はポート1～Nの互いに独立な複数のデータを1つのバケットの中に取り込む機能を有する。合流手段11は入力制御手段10と分岐手段15からの入力を調停し、順序立てて対データ検出手段(待ち合わせ記憶手段)12に送り込む機能を有する。対データ検出手段12は、入力されたデータ(バケット)のうち、2つのデータが揃わないと処理できないものを一時的に記憶する手段を有する。演算処理手段13は、待ち合わせを行ったデータ(バケット)を受けて乗算、加算といった演算を実施する。プログラム記憶手段14は演算処理の結果を受けて、プログラムの次の演算内容、行先情報をデータ(バケット)に与える機能を有する。分岐手段15はプログラム記憶手段の結果から得られた行先を読み取り、同一のプロセッサ内部で処理を行うか(合流手段11に送る)、プロセッサ外部に送るかを判定する。上記合流手段11、対データ検出手段12、演算処理手段13、プログラム記憶手段14及び分岐手段15は周回パイプラインにて接続された構成になっている。

【0040】図1(b)にデータ(バケット)の構成を

示す。ここで命令情報16は、データがどのような演算を施されるかを識別するための情報を意味する。行先情報17は、データがプログラムのどこをフェッチするかを意味し、これはプログラム中のノード番号に相当する。世代番号18は、同一の行先を持つ複数のデータを識別するための情報を意味する。データ19は入力制御部10に入力された複数データが収められた領域で、ポート数相当のデータを収容する。単一バケット内に於いて、複数のデータが単一の命令情報等を共有する構成となっている。

【0041】データ1～データNの一例として、世代番号が連続しており、且つ、それぞれ同一の命令情報及び行先情報を持つN個のデータを挙げることができる。この場合、命令情報16及び行先情報17は上記共通の命令情報及び行先情報となり、世代番号18は、例えば、データ1の世代番号とすることができる。他のデータ(データ2～データN)の世代番号は、各データの格納位置から復元可能である。

【0042】請求項2に記載のデータ駆動型プロセッサの実施形態を図2に示す。ここでいう互いに相関のある一群のデータ例として、フルカラーのデータを示す。フルカラーの画像は一般にRi20, Bi21, Gi22(Ri:画素iの赤, Bi:画素iの青, Gi:画素iの緑)の分割された信号の集合であらわされる。1つの画素にはRGBが必ず含まれるため、密接な関連があるといえる。これらRGBの値は別々に演算しなければならないため1つのデータバケットとして扱う。このデータは図1(b)に記載の各データ部分に収められる。

【0043】請求項3に記載のデータ駆動型プロセッサの実施形態を図3に示す。ここでいう特定の1ビットのみが異なるデータの例として、連続して入力されるシリアルなデータを挙げることができる。同一の行先(ノード番号31)を持つ連続した2つのデータは、同一の命令情報30と最下位(LSB)1ビットのみが異なる世代番号を持つ。従って、図3に示すようにLSB1ビットのみを省いた世代番号32とLSB=1の世代番号のデータ1・33とLSB=0の世代番号のデータ・34を、その位置関係で示せるので、1つのバケットに収めることができる。

【0044】請求項4に記載のデータ駆動型プロセッサの実施形態を図4に示す。ここでの命令情報40、ノード番号41、世代番号42は図3と同様のものである。ここで、VLDフラッグ43, 45を設けることで、データ1・44とデータ0・46に有効なデータが存在するかどうかを識別する(VLD=1:対応するデータ値は有効, VLD=0:対応するデータ値は無効→当該世代番号のデータは存在しないか、別バケットに存在する)。VLDフラッグがない場合はデータは常に2つ存在しなければならないが、フラッグを設けたことでデータ0のみまたはデータ1のみの場合でも処理が可能にな

る。これは不連続なデータ処理（入力に隙間がある場合など）に有効となる。

【0045】請求項5に記載のデータ駆動型プロセッサの実施形態を図5に示す。ここで複数の演算器51（データ1用演算器）から5N（データN用演算器）までが存在し、これらは図1（b）のデータ19に存在する複数のデータ（データ1からデータN）に対応するものである。複数のデータを同時に処理するためにはデータ数相当の演算器が必要である。

【0046】請求項6に記載のデータ駆動型プロセッサの実施形態を図6に示す。ここで図6（a）はデータバケットをあらわし、命令情報60、ノード番号61、世代番号62は図3と同様のものである。図6（b）は対データ検出手段の内部構造（待ち合わせメモリの記憶内容）をあらわしており、ノード番号、世代番号の情報の一部（ハッシュアドレス作成に用いられなかった部分）を収容するハッシュ溢れ63、1つ目データが存在するか否かを識別するフラッグPRE1・64、1つ目のデータであるデータ1・65、2つ目データが存在するか否かを識別するフラッグPRE0・66、2つ目のデータであるデータ0・67から構成される。ここで、PRE0及びPRE1は対応するデータ0及びデータ1が有効か無効かによって有効：1、無効：0の値がセットされる。ハッシュ溢れの意味や詳細な動作については、文献「動的データ駆動型プロセッサによる並列処理方式の検討」（情報処理学会主催のマイクロコンピュータアーキテクチャシンポジウム（1991年11月12日）において発行）に示されているものと同様である。図16に本請求項の詳細な動作を示す。図16の①～⑤は対データ検出手段に含まれる待ち合わせのためのメモリに記憶されているデータの内容と、入出力バケットのデータの関係が示されている。各図の上段にはバケットが入力される前の状態が、下段にはバケットが出力される時の状態が示されている。①では入力時の待ち合わせメモリにD1'、D0'が既に記憶されている場合に、アドレス及びハッシュ溢れが一致する入力バケットD1、D0が入力されると、これらすべて相手があることになり、D1'とD1、D0'とD0がそれぞれ1組となって1バケットの形で出力される。②では入力時の待ち合わせメモリにD1'、D0'が既に記憶されている場合に、アドレス及びハッシュ溢れが一致する入力バケットD0のみが入力されると、これはD0'のみ相手があることになり、D0'とD0が1組となって1バケットの形で出力される。D1'は相手がいないため、メモリ内部に残される。③では入力時の待ち合わせメモリにD0'のみが既に記憶されている場合に、アドレス及びハッシュ溢れが一致する入力バケットD0、D1が入力されると、これらはD0のみ相手があることになり、D0'とD0が1組となって1バケットの形で出力される。D1は相手がいないため、メモリ内部に残される。④では入力時の待

合わせメモリにD0'が既に記憶されている場合に、アドレス及びハッシュ溢れが一致する入力バケットD1のみが入力されると、これらは相手がいないことになり、D1、D0'ともに相手がいないためメモリ内部に残される。この場合、バケットは出力されない。⑤では入力時の待ち合わせメモリに何も記憶されていない場合に、アドレスが一致する入力バケットD0が入力されると、これは相手がいないため、メモリ内部に残される。この場合、バケットは出力されない。何れの場合もデータの有効・無効はVLDフラッグの1、0で識別される。

【0047】請求項7に記載のデータ駆動型プロセッサの実施形態を図7に示す。ここで、図7（a）の入力時にあるのは、演算前の入力バケットである。ここでVLD700は1つ目のデータ1（D1・701）が存在するか否かを示すフラッグ、VLD702は2つ目のデータ0（D0・703）が存在するか否かを示すフラッグである。演算器704は入力されたバケットの1つ目のデータ（D1・701）に対する演算器705と、2つ目のデータ（D0・703）に対する演算器706とを含む。この演算器は、各データ入力に対して独立に演算を実施し、その結果を出力のバケットに書き込む。D1・701に対する結果はD1'・709とBC・708に書かれるが、ここでBCは条件判定を伴う命令の結果フラッグを意味する。たとえばA（左データ）>B（右データ）のときに条件成立という演算があったとすると、AがBより大きいときBC=1となる。逆にBがAより大きいとBC=0となる。同様にD0・703に対する結果はD0'・712とBC・711に書かれる。いま、このBC・708とBC・711の結果が一致しなかった場合、たとえば図7（c）に示すような大小関係の成立を条件とする場合はD1とD0の値によって、結果が異なる。（D1'、D1）=（5、1）では条件が成立し、BC・708=1となる。（D0'、D0）=（1、6）では条件が成立せず、BC・711=0となる。従って、D1=条件成立、D0=条件不成立となる。このとき出力はBC1≠BC0なので、図7（b）のように、2つのバケットに別れる（BC1=BC0のときは1バケットで出力される）。すなわち、出力1にはD1・701の出力707～709に相当する713～715があり、D0・703の出力部分はVLD・716=0のためデータが無効となっている。出力2にはD0・703の出力710～712に相当する722～724があり、D1・701の出力部分はVLD・719=0のためデータが無効となっている。またこのときBC・714、720にはBC・708の値が、BC・717、723にはBC・711の値が収められる。

【0048】請求項8に記載のデータ駆動型プロセッサの実施形態を図8に示す。図8（a）で、いま入力時に対データ検出部内待ち合わせメモリの値が1つ目のデータ

・800が無効、2つ目のデータ・801が有効、入力パケットの値が1つ目のデータ・802が有効、2つ目のデータ・803が無効の場合、待合わせメモリのデータ・801と入力パケットのデータ・802がお互い揃うので、これらは1つのパケットに収容され出力される(2世代化成功)。メモリ内には何も残らない。図8

(b)で、いま入力時に対データ検出部内待合わせメモリの値が1つ目のデータ・808が無効、2つ目のデータ・809も無効、入力パケットの値が1つ目のデータ・810が無効、2つ目のデータ・811が有効の場合、待合わせメモリのデータと入力パケットが揃わないので、メモリ内のデータ・813に収容され書き込まれ、パケット出力は何も行われな(待合わせ継続)。

【0049】請求項9に記載のデータ駆動型プロセッサの実施形態を図9に示す。複数のデータを1つのパケットに収容する場合は、その複数個のデータがすべて揃う必要がある。例えば、3つのデータを揃える場合、入力時に対データ検出部内待合わせメモリの値が、1つ目のデータ・900が無効、2つ目のデータ・901が無効、3つ目のデータ・902が有効、入力パケットの値が1つ目のデータ・903が無効、2つ目のデータ・904が有効、3つ目のデータ・905が無効の場合、待合わせメモリのデータ・902と入力パケットのデータ・904がお互い揃うが、これらだけではデータ・907と908が揃うだけであり、データ・906が揃わずパケットは出力されない(待合わせ継続)。同様に、対データ検出部内待合わせメモリの値が、1つ目のデータ・910が無効、2つ目のデータ・911が有効、3つ目のデータ・912が有効、入力パケットの値が1つ目のデータ・913が有効、2つ目のデータ・914が無効、3つ目のデータ・915が無効の場合、待合わせメモリのデータ・911、912と入力パケットのデータ・913がお互い揃い、これらの値はパケットデータ・919、920、921となって出力される(3世代化成功)。メモリには何も残らない。

【0050】請求項10に記載のデータ駆動型プロセッサの実施形態を図10に示す。ここで図10に示す入力時に、待合わせメモリのアドレスは一致するが、メモリ側の識別子・100(世代番号またはノード番号)とパケット側の識別子・102(世代番号またはノード番号)が一致しない場合に、図10に示す入力側のデータ・103がメモリ側データ・104に書き込まれ、メモリ側のデータ・101がパケットデータ・105に書き込まれて出力される。この場合の不一致の判定条件としては、世代番号が連続していない、ノード番号が異なるなどがある。このように、2世代化に於いて、古いパケットの待合わせよりも、新しいパケットの待合わせの方が優先される。本実施形態は、古いパケットより新しいパケットの方が、2世代化の確率が高い場合に、有効なものとなる。

【0051】請求項11に記載のデータ駆動型プロセッサの実施形態を図11に示す。ここで図11に示す入力時に、待合わせメモリのアドレスは一致するが、図10と同様にメモリ側の識別子(世代番号またはノード番号)とパケット側の識別子(世代番号またはノード番号)が一致しない場合でも、図11に示すメモリ側のデータ・110がメモリ側データ・112にそのまま残され、パケット側のデータ・111がパケットデータ・113にそのまま書き込まれて出力される。この場合の不一致の判定条件としても、世代番号が連続していない、ノード番号が異なるなどがある。このように、2世代化に於いて、既に待合わせを行っているパケットが常に優先される。本実施形態は、待合わせの相手パケットが必ず入力される場合に、有効なものとなる。

【0052】請求項12に記載のデータ駆動型プロセッサの実施形態を図12に示す。ここでハッシュ溢れ・120、データ1・122、データ0・123は図6

(b)と同様のものである。これらのほかに2世代化判定フラッグF・121を設ける。F・121=1のときに書かれたデータを2世代化の相手を探すものとみなす。一方、F・121=0のときは、通常のデータ対作成の為に相手を探すものとみなす。すなわち、フラッグFの内容により識別可能となる。これにより、通常の対データ検出手段の持つ待合わせメモリと同様のメモリに、2世代化待合わせ機能を与えることができる。

【0053】請求項13に記載のデータ駆動型プロセッサの実施形態を図13に示す。ここで図13に示す入力時に、待合わせメモリのアドレスは一致し、該当のメモリ(この場合データ・130)が無効であっても、パケット側のデータ・132はデータ・130に書かれない。図13の出力時に示すように、メモリ側のデータ・130、131がメモリ側データ・134、135にそのまま残され、パケット側のデータ・132、133がパケットデータ・136、137にそのまま書き込まれて出力される。この場合の書き込まない判定条件として、奇数側の世代番号のデータが偶数側の世代番号のデータよりも先に入力されたことが挙げられる。2世代化では、2世代化されるペアのうち、若い番号は常に偶数である。世代番号は0から始まるから、例えば1より0、3より2がより若い。従って、奇数世代のデータが先に来た場合は、待合わせメモリにその相手がいない場合、若い世代のデータは既に出力されたと判断して、メモリに書き込まれないのである。

【0054】請求項14に記載のデータ駆動型プロセッサの実施形態を図14に示す。ここで151~155は図1の11~15と同様である。いまパケットの一部が140~144の2世代化されたパケットが分岐手段155に入力されたとき、世代番号・140の最下位1ビットの奇数世代がVLD・141とデータ1の・142に、偶数世代がVLD・143と・データ0・144が

相当することから、これを2つのバケットに分解するためには、世代の最下位ビット0・146を追加した新たな世代番号を持つバケットにデータ0・147を収め、世代の最下位ビット1・149を追加した新たな世代番号を持つバケットデータ1・150を収める。このようにして作成された2つのデータバケットが分岐手段155より出力される。

【0055】

【発明の効果】請求項1の発明により、従来複数バケットに別れていた処理を1つのバケットで行うことができる。そのために複数バケットを転送していた時間が短縮される。

【0056】請求項2の発明により、RGBなどの本来1つのピクセルに対するデータを別々のバケットで扱う必要がなくなる。そのために複数バケットを転送していた時間が短縮される。

【0057】請求項3の発明により、本来1ビットしか違わない識別子を別々のバケットで持つ必要がなくなる。従ってバケットのサイズが短縮できる。

【0058】請求項4の発明により、1ビットの情報でバケット内の複数データのどれが有効で、どれが無効かを識別することができる。従って、データ管理が容易となる。

【0059】請求項5の発明により、複数のデータを持つバケットが複数の演算器で同時（1命令で）演算できるようになる。

【0060】請求項6の発明により、データ駆動型のプロセッサ内部で単一のデータしか持たないバケットと、複数データを持つバケットとが相互に矛盾なく待合わせることができるようになる。

【0061】請求項7の発明により、複数データを持つバケットがプログラムの条件判定によって、複数個のバケットに分離できるようになる。

【0062】請求項8の発明により、データ駆動型のプロセッサ内部で単一のデータしか持たないバケットを2つのデータを持つバケットに変換することができるようになる。

【0063】請求項9の発明により、データ駆動型のプロセッサ内部で単一のデータしか持たないバケットを複数のデータを持つバケットに変換することができるようになる。

【0064】請求項10の発明により、単一データのバケットを複数データのバケットに変換する際に、古いバケットより新しいバケットの待ち合わせを優先させることができる。

【0065】請求項11の発明により、単一データのバケットを複数データのバケットに変換する際に、既に待ち合わせを行っているバケットを常に優先させることができる。

【0066】請求項12の発明により、複数のデータを

持つバケットに変換する待合わせメモリを、通常のプログラムで用いる対データ検出手段用のメモリと兼用して用いることができるようになる。そのために余分なメモリを新たに備える必要がない。

【0067】請求項13の発明により、単一データのバケットを複数データのバケットに変換する際に、必要以上に待合わせメモリの領域を占有するバケットがなくなる。請求項14の発明により、複数データのバケットを単一データのバケットに分解することができる。これにより複数データが処理できる装置と、単一データしか処理できない装置間のデータに互換性を持たせることができる。

【図面の簡単な説明】

【図1】（a）及び（b）は、それぞれデータ駆動型プロセッサ装置及びその内部を流れるデータバケットのブロック構成図である。

【図2】互いに密接な関連を持つRGBデータの構成図である。

【図3】複数データを持つバケットの構成図である。

【図4】データの有効無効（VLD）フラグを持つバケットの構成図である。

【図5】複数演算器を持つ演算手段の構成図である。

【図6】複数データに対応する待合わせメモリの構成図であり、（a）はバケットの構成図、（b）は待合わせメモリの内部構成図である。

【図7】複数データの条件分岐が可能な演算器を示す構成図であり、（a）は複数データが入力された場合の演算動作を説明する図、（b）は出力バケットの構成図、（c）は大小判定演算の実行例を示す図である。

【図8】2世代化の実行時のバケット構成図であり、（a）は2世代化が成功した場合の構成図、（b）は2世代化が成功しなかった場合の構成図である。

【図9】複数世代化の実行時のバケット構成図であり、（a）は複数世代化が成功しなかった場合の構成図、（b）は複数世代化が成功した場合の構成図である。

【図10】2世代化が実行される場合の優先関係を示す図である。

【図11】図10とは別の手段の2世代化が実行される場合の優先関係を示す図である。

【図12】2世代化機能を内蔵した対データ検出手段のメモリの構成図である。

【図13】2世代化が実行されない場合を示す図である。

【図14】多世代化されたデータが単独のデータを持つバケットに分解される関係を示す図である。

【図15】（a）及び（b）は、それぞれ一般的なデータ駆動型プロセッサのブロック構成図及びデータバケットの構成図である。

【図16】複数データに対応する待合わせメモリの構成図であり、待合わせメモリの状態とバケットの状態との

15

16

対応関係を示した対応図である。

【符号の説明】

10 入力制御手段

11 合流手段

12 対データ検出手段

13 演算処理手段

14 プログラム記憶手段

15 分岐手段

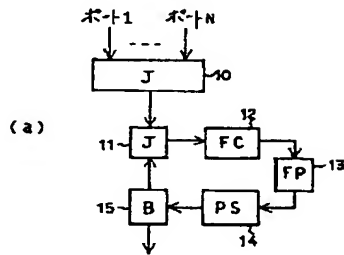
16 命令情報

17 行先情報

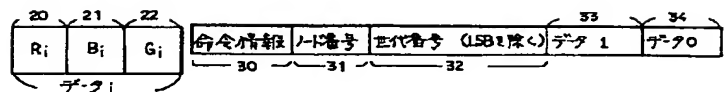
18 世代番号

19 データ1, ..., データN

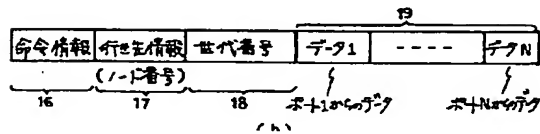
【図1】



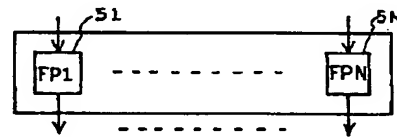
【図2】



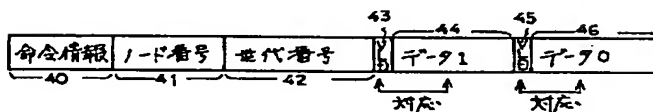
【図3】



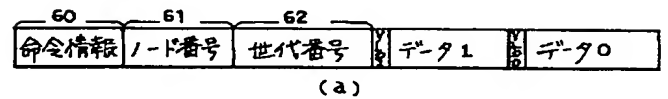
【図5】



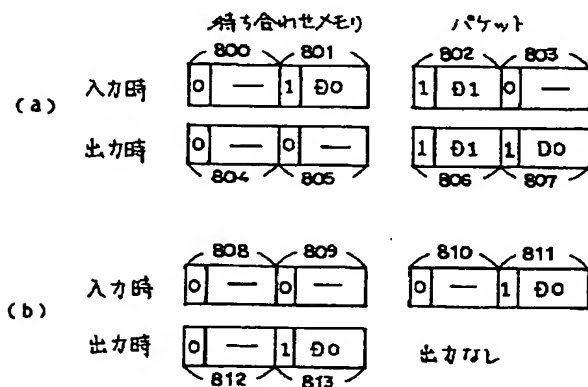
【図4】



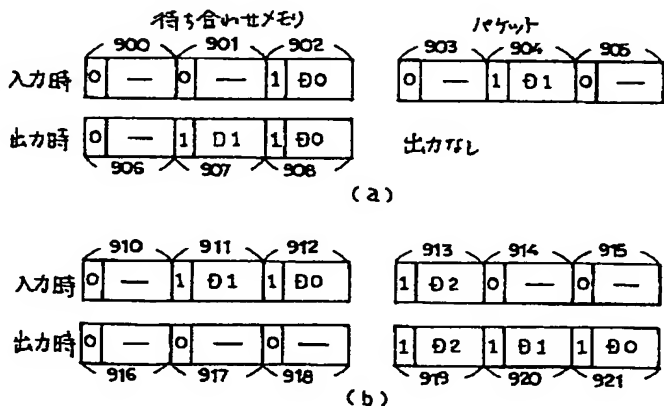
【図6】



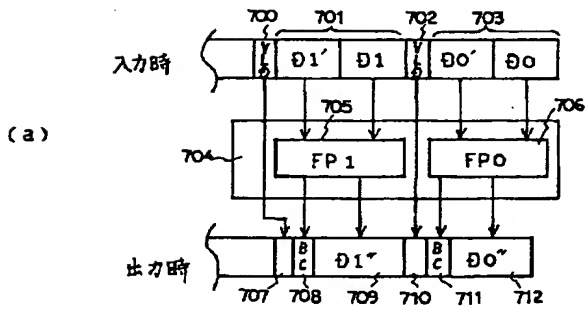
【図8】



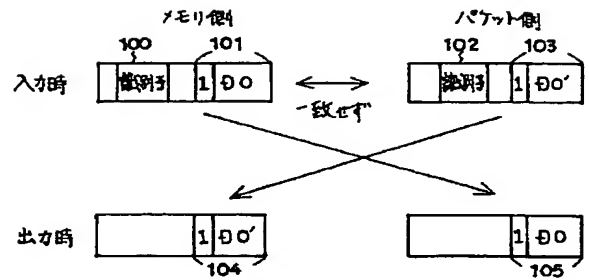
【図9】



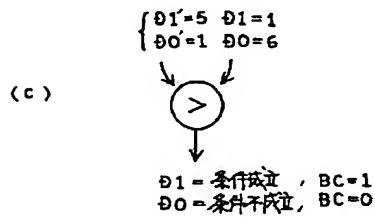
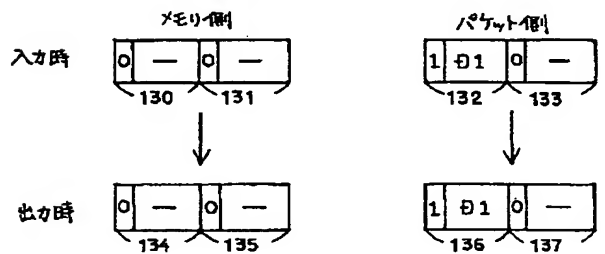
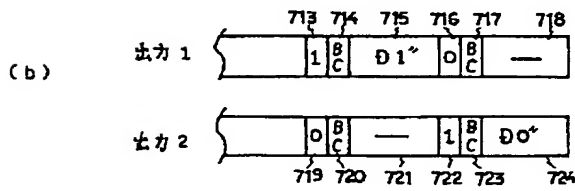
【図7】



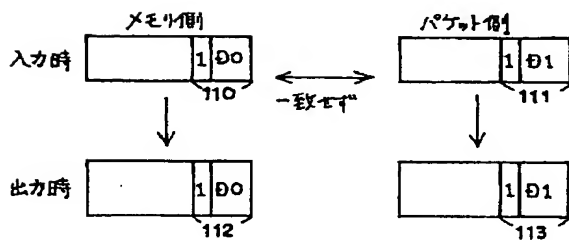
【図10】



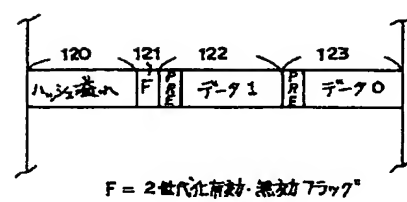
【図13】



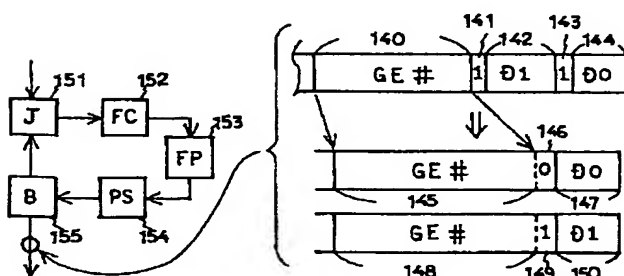
【図11】



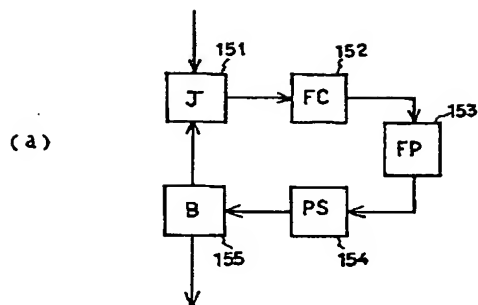
【図12】



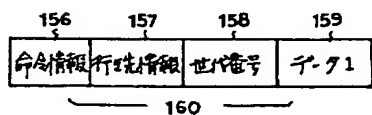
【図14】



【図 15】



(b)



【図 16】

